

CLIPPEDIMAGE= JP406120522A  
PAT-NO: JP406120522A  
DOCUMENT-IDENTIFIER: JP 06120522 A  
TITLE: SEMICONDUCTOR DEVICE FOR IMAGE PROCESSING

PUBN-DATE: April 28, 1994

INVENTOR-INFORMATION:

NAME

MAEZAWA, KOICHI

MORIE, TAKASHI

ASSIGNEE-INFORMATION:

NAME

NIPPON TELEGR & TELEPH CORP <NTT>

COUNTRY

N/A

APPL-NO: JP04290916

APPL-DATE: October 6, 1992

INT-CL (IPC): H01L029/804; G06F015/18 ; G06G007/60 ; H01L029/88

US-CL-CURRENT: 257/104

ABSTRACT:

PURPOSE: To obtain a semiconductor device for image processing, which is formed small its occupation area on a chip and is easily increased its integration scale.

CONSTITUTION: A semiconductor device for image processing has resonance tunnel transistors, which control the ratio of a resonance tunnel current, which is made to flow between an N-type ohmic electrode 109 and an N-type ohmic electrode 110, to a non-resonance tunnel current, which is made to flow between the electrodes 109 and 110, by changing the widths of deflection layers by an applying voltage to a control electrode 111, and the device s constituted into a structure wherein a plurality of pieces of these resonance tunnel transistors are coupled with each other in a reticular form.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-120522

(43)公開日 平成6年(1994)4月28日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/804				
G 0 6 F 15/18		8945-5L		
G 0 6 G 7/60				
H 0 1 L 29/88	S	7376-4M	H 0 1 L 29/ 80	A
			審査請求 未請求 請求項の数2(全 7 頁)	

(21)出願番号 特願平4-290916

(22)出願日 平成4年(1992)10月6日

(71)出願人 000004226

日本電信電話株式会社  
東京都千代田区内幸町一丁目1番6号

(72)発明者 前澤 宏一

東京都千代田区内幸町1丁目1番6号 日  
本電信電話株式会社内

(72)発明者 森江 隆

東京都千代田区内幸町1丁目1番6号 日  
本電信電話株式会社内

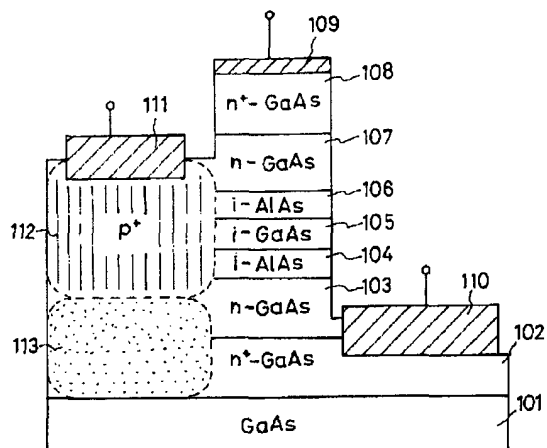
(74)代理人 弁理士 山川 政樹

(54)【発明の名称】 画像処理用半導体装置

(57)【要約】

【目的】 チップ上の占有面積が小さく、高集積化が容易な画像処理用半導体装置を得る。

【構成】 n-オーミック電極109とn-オーミック電極110との間に流れる共鳴トンネル電流と非共鳴トンネル電流との割合を、制御電極111の印加電圧により空乏層幅を変化させることにより制御する共鳴トンネルトランジスタを有し、この共鳴トンネルトランジスタを網目状に複数個連結して構成する。



1

## 【特許請求の範囲】

【請求項1】 第1の端子と第2の端子との間に流れるピーク電流とバレー電流との割合を、第3の端子への印加電圧により空乏層幅を変化させることにより制御する共鳴トンネルトランジスタを有し、前記共鳴トンネルトランジスタを網目状に複数個連結して構成したことを特徴とする画像処理用半導体装置。

【請求項2】 第1の半導体よりなるn型の半導体層と、

前記第1の半導体の伝導帯よりエネルギー的に高い伝導帯を持つ第2の半導体よりなる第1のバリア層と、

前記第2の半導体の伝導帯よりエネルギー的に低い伝導帯を持つ第3の半導体よりなる井戸層と、

前記第1の半導体、第3の半導体の伝導帯よりエネルギー的に高い伝導帯をもつ第4の半導体よりなる第2のバリア層と、

前記第2の半導体、第4の半導体の伝導帯よりエネルギー的に低い伝導帯を持つ第5の半導体よりなるn型の半導体層とを持つ共鳴トンネル構造と、

前記共鳴トンネル構造に空乏層を伸ばし得るショットキーまたはp n接合による制御電極を備えた素子と、

前記素子を網目状に複数個連結した回路と、

を含むことを特徴とする画像処理用半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、ニューラルネットワークを利用して画像処理を行う画像処理用半導体装置に係わり、特にアナログLSIの回路構成およびそれに必要な機能素子の構造に関するものである。

## 【0002】

【従来の技術】画像処理または画像認識技術の前処理として位置付けられている初期視覚の問題には、面の補間、エッジ検出、陰影からの形状復元、速度場推定、色推定、動きからの構造推定などがある。これらの問題を最適化問題として定式化し、ニューラルネットワークの観点から、抵抗ネットワークよりなるアナログ電子回路\*

2

\*により近似的に解く手法が提案されている[参考文献：C.Mead, Analog VLSI and Neural Systems, Addison-Wesley, 1989. C.A.Mead and M.A.Mahowald, "A Silicon Model of Early Visual Processing," Neural Networks, vol. 1, pp. 91-97, 1988. J.Hutchinson, C.Koch, J.Luo, and C.Mead, "Computing Motion Using Analog and Binary Resistive Networks," IEEE Computer, vol. 21, pp. 52-63, 1988. など]。

【0003】また、画像データの不連続性をモデル化する「ライン過程」が提案されている[S.Geman and D.Geman, "Stochastic Relaxation, Gibbs Distributions, and the Bayesian Resolution of Images," IEEE Trans. Pattern Analysis and Machine Intelligence, vol. PAMI-6, pp. 721-741, 1984]。さらにこれを「抵抗ヒューズ素子」により、アナログ電子回路上で実現した技術が提案されている[J.G.Harris, C.Koch, and J.Luo, "A Two-Dimensional Analog VLSI Circuit for Detecting Discontinuities in Early Vision," Science, vol. 248, pp. 1209-1211, 1990.]。この回路上では、データ処理は各画素近傍間で並列的に行われるので、実世界の画像データ(数100×数100画素)が実時間(数マイクロ秒程度)で処理できる。

【0004】以上の内容は、解説論文[曾根原登、「ニューラルネットによる画像情報の処理(第4回)-アナログVLSIによる視覚チップの実現-」, 画像ラボ: 第3巻第4号PP.76-80(1992)]において解説されている。ここではこの曾根原の解説論文を基にこの抵抗ヒューズ素子を組み込んだアナログニューラルネットワークにより、ノイズを含んだ画像データを復元する方法を説明する。

【0005】この問題は、不連続面以外で面が滑らかであるという拘束条件を用いると、下記の数式1に示すような2次形式のエネルギー関数の最小化によって定式化される。

## 【0006】

## 【数1】

$$E(f, h) = \frac{1}{2\sigma^2} \sum_i (d_i - f_i)^2 + \lambda \sum_i (f_i - f_{i+1})^2 (1 - h_i) + \alpha \sum_i h_i \quad (1)$$

【0007】ここで、 $d_i$  は画素  $i$  での観測データ、 $f_i$  は同じく画素  $i$  での推定データ、 $\sigma^2$  は推定すべき雑音の分散、 $\alpha$  および  $\lambda$  は自由パラメータ、 $h_i$  はライン過程である。上記(1)式第1項は観測データ  $d_i$  と推定データ  $f_i$  とが近くなることを要求する。第2項はライン過程  $h_i = 0$ 、すなわち不連続がない場合は、隣合う二つの値が互いに近い値をとることを要求する滑らかさを表す項である。第3項はライン過程が発火することのコスト上昇であり、第2項と第3項とのバランスでライン過程が発火するか否かが決定される。つまり、 $\lambda$  は滑らかさの度合いを表し、 $\alpha$  はノイズと元画像の不連続※50

40※とを区別する尺度である。

【0008】上記(1)式は、図6に示した抵抗ネットワークの定常電圧分布を調べることで解くことができる。ここで、回路網を構成するコンダクタンス  $g (= 1/2\sigma^2)$  を有する抵抗素子  $r$  は、図7に示すような非線形特性を有していなければならない。すなわち両端の電圧差  $\Delta V = |f_i - f_{i-1}|$  が  $\sqrt{(\alpha/\lambda)}$  以下である時はコンダクタンス  $g_{(n)}$  に当たる  $\lambda$  の線形抵抗として働き(ライン過程  $h_i = 0$ )、そうでない時は接続が切れる(ライン過程  $h_i = 1$ )となるような素子である。これを理想的な抵抗ヒューズ素子  $R$  と呼ぶ。

【0009】しかしながら、図6および図7に示した抵抗ネットワーク回路では、一般に初期条件に依存した局所解（いわゆるローカルミニマム）の状態に安定化し、必ずしも（1）式に示したエネルギー関数の最小化は達成できない。そこで、ライン過程をシグモイド型の入出力関数をもつニューロンに対応させ、シグモイド関数のゲインを変化させることにより、平均場近似理論におけるアニーリングを行い、準最適解を得る方法が提案された [J.J.Hopfield, "Neurons with Graded Response Ha \*

$$h_i = g(m_i) = \frac{1}{1 + e^{-m_i/T}} \quad (2)$$

【0012】ここで、Tは温度パラメータである。ニューロン状態がアナログ値を取ることから、エネルギー関数は上記（1）式に下記の数式3を付加したものとな ※

$$E_G = C_G \sum_{ij} \int_0^{h_i} g^{-1}(h_i) dh_i \quad (3)$$

【0014】ネットワークのダイナミクスは、下記の数式4で表現される。 ★

$$\frac{dm_i}{dt} = -\frac{\partial E}{\partial h_i} \quad (4)$$

【0015】内部状態変数  $m_i$  の変化の安定状態は、下記の数式5であるから、 ☆

$$\frac{dm_i}{dt} = \lambda(f_i - f_{i+1})^2 - \alpha - C_G m_i = 0 \quad (5)$$

【0017】下記の数式6となる。 ◆

【0018】 ◆

$$m_i = (\lambda \Delta V^2 - \alpha) / C_G \quad (6)$$

【0019】そこで、要求される抵抗ヒューズ素子の電流-電圧（I-ΔV）特性は、下記の数式7となる。 \*

$$I = f(\Delta V) = \lambda(1 - h)\Delta V = \lambda[1 - g(\frac{\lambda \Delta V^2 - \alpha}{C_G})]\Delta V \quad (7)$$

【0021】この特性を温度パラメータTの関数として表したものを図8に示す。アナログ型抵抗ヒューズは、温度パラメータTが大きいたまは通常の線形抵抗の特性を示し、温度パラメータTが小さくなり0に近づくにつれ、図7に示した理想的な抵抗ヒューズ素子の特性に近くなる。

【0022】上記抵抗ヒューズの実現方法については、文献 [H.Lee and P.Yu, "CMOS Resistive Fuse Circuits," in Symposium on VLSI Circuits, pp.109-110, 1991] にアナログCMOS回路で構成した例が報告されている。この報告では、3種類の回路を提案しているが、原理を示す最も簡単な回路を図9に示す。この回路は、トランジスタM1からトランジスタM5よりなる差動対 ※50

\*ve Collective Computational Properties Like Those of Two-state Neurons," Proc.Natl.Acad.Sci.USA, vol. 81, pp.3088-3092, 1984. ]。

【0010】この場合、ライン過程  $h_i$  に対応するニューロンの内部状態変数を  $m_i$  とすると、下記の数式2となる。

【0011】

【数2】

※る。なお、 $C_G$  は係数である。

【0013】

【数3】

★【数4】

☆【0016】

【数5】

◆【数6】

\*【0020】

【数7】

※と、抵抗として動作するトランジスタM6およびトランジスタM7とから構成される。

【0023】このような構成において、まず、トランジスタM4およびトランジスタM5の飽和電流を  $I/2$  より少し大きく設定しておき、バランス状態に近い状態では、トランジスタM6およびトランジスタM7は三極管領域で導通するようにし、線形抵抗として動作させる。第1のノードN1と第2のノードN2との間の電圧が大きくなると、差動対のバランスが崩れてトランジスタM6またはトランジスタM7が非導通となり、ヒューズ抵抗素子の特性が実現できる。

【0024】図9の回路では、抵抗値が第1のノードN1および第2のノードN2の絶対電位に影響されるとい

5

う欠点があるため、トランジスタM6とトランジスタM7との間に抵抗値を決定するもう一つのMOSトランジスタおよびそれを制御するための3個のトランジスタを付加した改良型が同じ文献に提案されている。これにより、抵抗値および抵抗が切断される電圧差を独立に変化することができ、図7に示した理想的な抵抗ヒューズに近い特性を実現することができる。

【0025】

【発明が解決しようとする課題】以上説明したCMOS回路による抵抗ヒューズの実現方法では、抵抗ヒューズ特性を得るために7~11個のトランジスタを組み合わせることが必要となるので、チップ上に占める面積も大きくなり、高集積化が難しいという問題があった。アナログ回路では、大容量DRAMに代表される通常のデジタル技術によるサブミクロンプロセス技術の恩恵があまり受けられないので、具体的には抵抗ヒューズ回路として30~50ミクロン角程度の面積が必要となる。実際のチップでは各画素にデータを入出力する回路が必要であり、より望ましくは、高速かつ高効率にデータ処理を行うために光電変換素子（光受容器または発光素子）をチップ上の各画素に配置して並列的にデータを入力または出力することが好ましい。データ収集の効率を上げるために光受容器の面積は大きいことが望ましいので、抵抗ヒューズ素子または回路はできるだけ小さいことが望ましい。以上のような構成法では、前述した抵抗ヒューズ回路を用いた場合は、100×100画素程度の集積化が限界と推測され、実世界の画素処理は難しい。

【0026】したがって本発明は、前述した従来の課題を解決するためになされたものであり、その目的は、チップ上の占有面積が小さく、高集積化が容易な画像処理用半導体装置を提供することにある。

【0027】

【課題を解決するための手段】このような目的を達成するために本発明は、共鳴トンネル効果による負性抵抗特性を利用する。より具体的には、接合型FET構造により、負性抵抗特性を有するピーク（共鳴トンネル）電流を制御するとともにこのデバイスに並列的に流れる通常電流によるオーミック電流をも同時に制御して近似的に線形抵抗特性から理想的な抵抗ヒューズ特性までを連続的に得るようにしたものである。

【0028】

【作用】本発明における画像処理用半導体装置は、単一の制御電圧（接合型FETのゲート電圧）で近似的に線形抵抗特性から理想的な抵抗ヒューズ特性までを連続的に発生できる。また、単一デバイスで上記の機能を実現できるので、チップ上の占有面積を極めて小さく（数平方ミクロン以下）することができる。

【0029】

【実施例】以下、図面を用いて本発明の実施例を詳細に説明する。図1は、本発明による画像処理用半導体装置

6

の第1の実施例による構成を示す抵抗ヒューズ素子の断面図である。同図において、101は半絶縁性GaAs基板、102は $2 \times 10^{18} \text{ cm}^{-3}$ のSiをドーパした厚さ約3000Åのn<sup>+</sup>-GaAsバッファ層、103は例えば $5 \times 10^{17} \text{ cm}^{-3}$ のSiをドーパした厚さ500Åのn-GaAs層、104は例えば厚さ20ÅのアンダーブAlAsからなる第1のバリア層、105は例えば厚さ50ÅのアンダーブGaAsからなる量子井戸層、106は同様に厚さ20ÅのアンダーブAlAsからなる第2のバリア層、107は例えば $5 \times 10^{17} \text{ cm}^{-3}$ のSiをドーパした厚さ500Åのn-GaAs層、108は例えば $2 \times 10^{18} \text{ cm}^{-3}$ のSiをドーパした厚さ3000Åのn<sup>+</sup>-GaAsコンタクト層である。

【0030】結晶成長は、例えば分子線エピタキシー法で行い、成長後、メサエッチングにより、図示したように二段メサ構造の共鳴トンネルダイオードを形成する。109および110はそれぞれn-オーミック電極であり、これらのn-オーミック電極109、110は、例えばAuGe/Niの蒸着、リフトオフおよび合金化により形成されている。111はNi/Zn/Au/Ti/Au（例えばそれぞれ50Å/160Å/1000Å/1000Å/1000Å）を蒸着し、例えば約400℃で合金化した制御電極であり、112は制御電極111から拡散したZnがつくるp<sup>+</sup>領域である。n-オーミック電極109、n-オーミック電極110の合金化および制御電極111の合金化は同時に行うことができる。なお、このエミッタの大きさ（長方形の場合、その短辺の長さ、円形の場合その直径）は、十分小さくし、制御電極111からの空乏層で電流パスを閉じることが可能とする。円形の場合、例えば直径を約0.5μmとすれば良い。また、113は例えばH<sup>+</sup>をイオン注入することによって形成された高抵抗層である。この高抵抗層113は本発明に必須のものではないが、高速化のために不必要な容量をなくすことおよびゲートリーク電流を生じさせる不必要な接合面積の低減を目的として設けている。

【0031】このような構造において、AlAsバリア層104、GaAs量子井戸層105、AlAsバリア層106は、良く知られた共鳴トンネルダイオードを形成している。このダイオードは、エネルギーが共鳴準位と一致した電子だけ流れるため、図2に示すような負性抵抗を持った電流-電圧（I-V）特性を示す。この構造で制御電極111に電圧を印加すれば、その正負に応じてpn接合の空乏層の大きさが変化する。これにしたがってダイオードの面積が変化し、電流が変化することになる。

【0032】このように構成された素子の電流-電圧特性を制御電圧の関数として図3に示す。なお、同図では第1象限のみを示し、V<0のときは原点に対して対称となっている。同図に示すように制御電圧を変化させる

と、 $I-V$ 特性全体が比例して変化する領域1だけでなく、バレー部分の電流変化が大きな領域2が得られる。この領域2は、(a)制御電極近傍でのバンドベンディングによる共鳴エネルギーの変化と、(b)Znの拡散による共鳴トンネル構造の破壊による。上記(a)は、エミッタメサに伴い、エミッタ電極と制御電極との間で共鳴エネルギーの面内方向の変化が生じ、共鳴点をぼけさせることを意味する。また、上記(b)については、次のように理解される。良く知られているようにZnの拡散は、AlAs/GaAs系の超格子を破壊する(混晶化)。p領域112は、合金化の際のZnの拡散によって作られるため、この部分のAlAs/GaAs/AlAs共鳴トンネル構造は破壊(混晶化)される。したがって空乏層幅を小さくして電流量を大きくすると、この混晶化領域を通る非共鳴電流が増大し、バレー部分の電流(バレー電流)が増大することになる。これらの効果によってこの素子の $I-V$ 特性は図3に示すように制御電圧によってオーミック的な特性から強い負性抵抗特性に変化させることができる。また、電流が変化する領域1においては、制御電圧によって原点付近の抵抗を自由に調整することが可能である。したがって領域2において制御電圧を正から負の方向に動かすことによって従来技術で説明したパラメータTを制御しつつ、エネルギー最小状態を実現し、その後、領域1においてコンダクタンスに当たる $\lambda$ を調整することが可能である。これらの特性により、本素子は画像処理用装置の抵抗ヒューズ素子として用いることができる。したがってこの素子を従来技術で説明したように網目状に接続することにより画像処理用半導体装置を形成することができる。本装置は、従来7~11個のトランジスタを要した抵抗ヒューズ素子と同様な機能を1つの素子で実現するため、各画素の占有面積を極めて小さくでき、セルの高集積化が可能となる。

【0033】さて、ヒューズの切れる電圧 $V_{th} = (\alpha/\lambda)^{1/2}$ は、本素子ではコントロールできないが、これは、受光素子の感度を制御することによって等価的に行うことができる。また、この素子では、 $I-V$ 特性は両端のノードの絶対電位(信号電圧)に影響される。しかし、制御電圧0V付近で領域2のオーミック特性が得られ、かつエネルギー関数の最小化が得られる制御電圧の値を例えば約-10V付近になるように素子の大きさを設定しておけば、信号電圧(0~1.0V程度)による影響を十分小さくすることが可能である。

【0034】本発明の第2の実施例としては、共鳴トンネル構造の井戸層に、より伝導帯エネルギーの低い材料を用いるものが挙げられる。例えば第1の実施例において、アンドープGaAs量子井戸層105を $In_xGa_{1-x}As$ 混晶層で置き換えたものである。この構造でInAs組成xを変えることにより、井戸中の量子準位のエネルギーを調整することができる。例えば $x=0.2$

とすることにより、量子準位のエネルギーは約150meV低くなる。

【0035】さて、第1の実施例においては、原点付近の微分抵抗が大きく(図3)、理想的なヒューズ特性(図8)と異なっている。この部分は量子準位のエネルギーが高すぎ、共鳴トンネル電流が流れ出すまでにある程度の電圧をかけなければならないために生じる。したがって量子準位のエネルギーを下げることによりこの部分を取り除くことができ、理想的な抵抗ヒューズ特性(図8)に近づけることができる。

【0036】図4は、本発明による画像処理用半導体装置の第3の実施例による構成を示す抵抗ヒューズ素子の断面図であり、前述の図と同一部分には同一符号を付してある。同図において、114は例えばTi/Auからなるショットキー電極である。この実施例は、第1の実施例において、pn接合によって行われていた空乏層幅の制御をショットキー接合によって行うようにしたものである。この場合も、空乏層幅を制御することにより、電流量を制御できる。ただし、第1の実施例の説明(b)で述べたZnの拡散による共鳴トンネル構造の破壊は起こらず、この効果は生じないことになる。

【0037】図5は、本発明による画像処理用半導体装置の第4の実施例による構成を示す断面図であり、前述の図と同一部分には同一符号を付してある。同図において、102'はp-GaAsバッファ層、110'はAuZn/Ni/Ti/Au電極である。この第4の実施例としては、前述した第1~第3の実施例による抵抗ヒューズ素子と整流性のダイオードとを直列接続したものを逆向きに並列接続し、抵抗ヒューズ素子として用いたものである。第1の実施例~第3の実施例で説明した抵抗ヒューズ素子は完全に正負対称な電流-電圧特性を得ることが難しいが、このようにして使用することにより、対称な電流-電圧特性が得られる。このとき、整流性ダイオードとしてpn接合ダイオードを用い、図示するようにこれを結晶層構造として作り込めば、素子数増加によるセル面積増大を最小限に抑えることができる。

【0038】なお、前述した実施例においては、共鳴トンネル構造としてGaAs/AlAs系を用いた場合について説明したが、本発明はこれに限定されるものではなく、他の材料を用いて実現することもできる。例えばInP基板上に格子マッチする $In_{0.53}Ga_{0.47}As$ や $In_{0.52}Al_{0.48}As$ を用いれば、より大きなp/v(ピーク/バレー)比が得られ、その効果が大きい。ここでバリア層にスードモルヒック(pseudomorphic)なAlAs層を用いても良い。いずれにせよ共鳴トンネル構造が実現できれば良い。また、ドーパントのバリアへの拡散を防ぐため、共鳴トンネル構造の上下をアンドープのスペーサー層で挟むなどの共鳴トンネル構造のバリエーションも本発明に含まれる。

【0039】また、抵抗ネットワークの入力素子として

は、MSMダイオード、PINダイオードやフォトトランジスタなどの受光素子を用いることができる。すなわち図6における観測データ $d_i$ に相当する電源を受光素子と電流-電圧変換素子(抵抗、トランジスタまたはダイオードなど)との組み合わせで構成する。また、出力(すなわち図6における抵抗ネットワークの推定データ $f_i$ に相当する電位の読み出し)としてレーザダイオードなどの発光素子を集積化すれば、入力、演算、出力の全てが並列に実行され、高速な動作、入出力が可能である。

#### 【0040】

【発明の効果】以上、説明したように本発明によれば、極めて高集積かつ高性能なネットワークを構成できるので、実世界の画像を実時間で直接処理できる処理系(光電変換素子による入出力系も組み込んだニューラルネットワーク回路)を1チップ上に構築することができるなどの極めて優れた効果が得られる。

#### 【図面の簡単な説明】

【図1】本発明による画像処理用半導体装置の第1の実施例による構成を示す抵抗ヒューズ素子の断面図である。

【図2】共鳴トンネルダイオードの電流-電圧特性を示す図である。

【図3】本発明に係わる抵抗ヒューズ素子の電流-電圧特性を示す図である。

【図4】本発明による画像処理用半導体装置の第3の実施例による構成を示す抵抗ヒューズ素子の断面図である。

【図5】本発明による画像処理用半導体装置の第4の実施例による構成を示す断面図である。

【図6】不連続部分を保持しながら画像のノイズ除去を行うニューラルネットワーク回路を示す図である。

【図7】ライン過程を実行する理想的な抵抗ヒューズ素子の電流-電圧特性を示す図である。

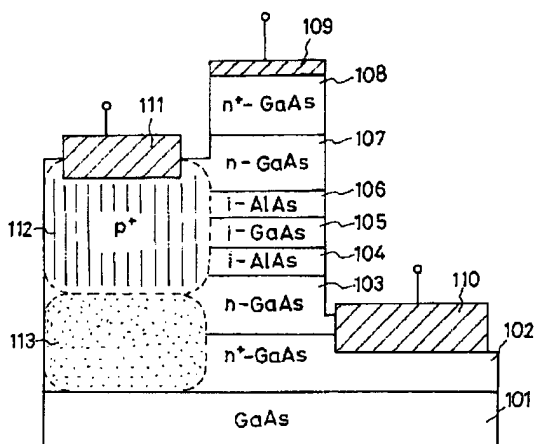
【図8】平均場近似理論に基づいてライン過程を実行するアナログ型抵抗ヒューズ素子の電流-電圧特性を示す図である。

10 【図9】従来のアナログCMOS技術を利用した抵抗ヒューズ回路を示す図である。

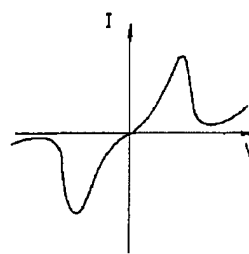
#### 【符号の説明】

- 101 半絶縁性GaAs基板
- 102  $n^+$ -GaAsバッファ層
- 102'  $p$ -GaAsバッファ層
- 103  $n$ -GaAs層
- 104 第1のAlAsバリア層
- 105 GaAs量子井戸層
- 106 第2のAlAsバリア層
- 107  $n$ -GaAs層
- 108  $n^+$ -GaAsコンタクト層
- 109  $n$ -オーミック電極
- 110  $n$ -オーミック電極
- 110'  $AuZn/Ni/Ti/Au$ 電極
- 111 制御電極
- 112  $p^+$ 領域
- 113 高抵抗層
- 114 ショットキー電極

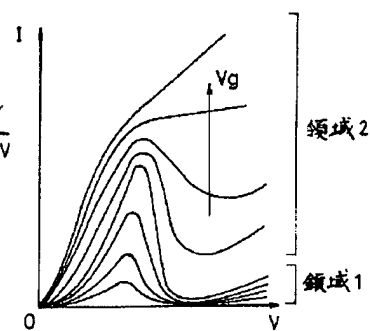
【図1】



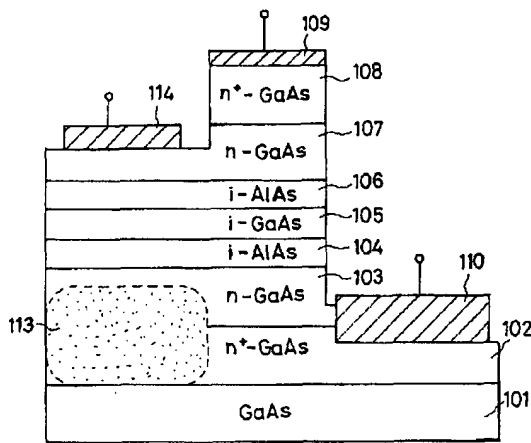
【図2】



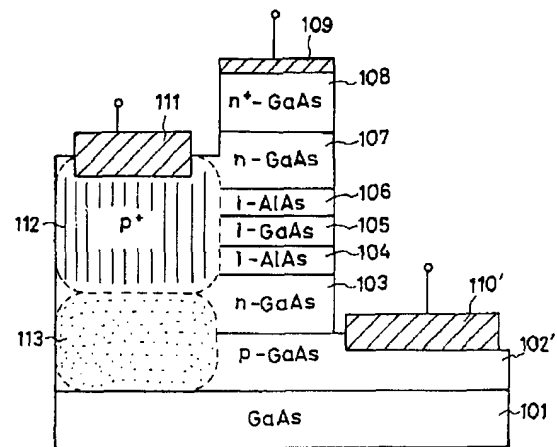
【図3】



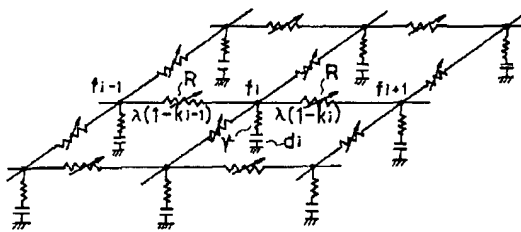
【図4】



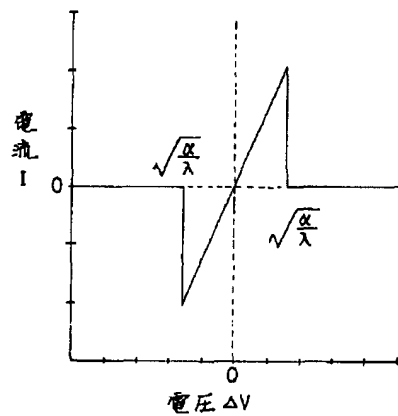
【図5】



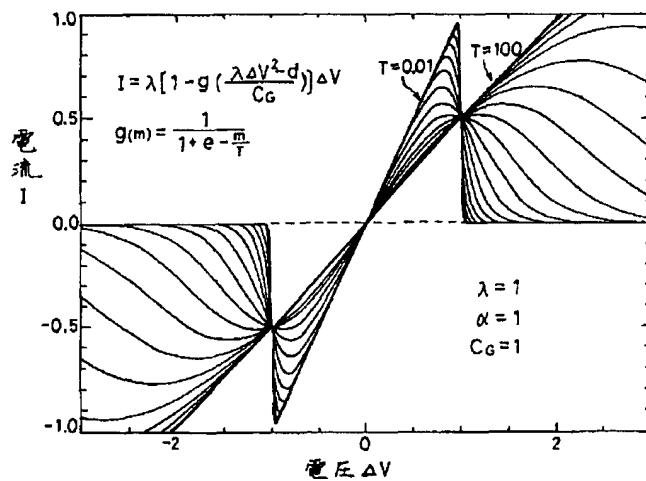
【図6】



【図7】



【図8】



【図9】

